**TEKNOFEST DTR RAPOR**

**UART**

UART çevrebirimi, şartnamede belirtildiği gibi 1 start biti , 1 stop biti ve 8 bitlik anlamlı veri olacak şekilde Systemverilog HDL ile tasarlanmıştır. Parity biti kullanılmamıştır. Arayüzü olarak Wishbone kullanılmaktadır. Wishbone arayüzünden tx kanalını etkinleştirme sinyali gelmesi ile çalışmaya başlar. Buffer kontrolü yapar. Eğer veri varsa ayarladığımız baud hızına göre anlamlı veriyi iletim hattına taşır. İletim hattı üzerinden 8 bitlik anlamlı veriyi seri halde gönderir. Anlamlı veri gönderildikten sonra 1 bit stop bitini gönderir. Tx hattında iletim tamamlanmış olur.

Rx kanalı ise Rx etkinleştir sinyalini bekler. Sinyal geldiğinde lojik-1’ den lojik-0’ a düşme durumunu gözlemler. Düştüğünde çalışmaya başlar. Rx 1 periyot bekler. Bu durum alacağımız verinin sağlıklı iletilmesi açısından önemlidir. Daha düşük sürelerde de deneme fırsatı edindik fakat hata oranı en düşük ihtimalin bu olduğuna karar verdik. Yapacağımız yapılarda gürültü faktörünün çok etkili olmayacağını düşünsek de daha büyük yapılarda etkisi daha fazla olacaktır. Fiziksel dünyanın etkisinin öngörülebilmesinin zor olmasından kaynaklı aldığımız verinin güvenilirliğini en yüksek seviyede olacak şekilde tasarlamayı tercih ettik. Bu sebeple CLKDIV parametresiyle oluşturduğumuz belli aralıklarla veri alıp kontrol yapıyoruz. CLKDIV şartnamede istenildiği üzere giriş saat frekansı ile baud arasındaki ilişkinin hesaplandığı formülden ortaya çıkmıştır. CLKDIV, ortaya çıkan sayıyı sayan sayıcıdır ve 16 bit ile sınırlandırılmıştır. Aldığımız 7 örneği kontrol edip doğruysa çıkışa aktarıyoruz.

UART’ın kendi içerisinde buffer yapısı var fakat diğer birimlerimizde de lazım olabileceğini düşünerek FIFO(First in First out) yapısı tasarladık. Şartnamede istendiği gibi boş(empty) ve dolu(full) durum yazmaçları mevcuttur. Buffer dolu durumunda okuma yapılacak, boş durumunda ise yazma yapılacak şekilde ayarlanmıştır. UART yapımız Şekil bilmemkaç da gösterilmiştir.

Şartnamede istendiği gibi UART doğrulamasında UVM kütüphanesi kullanılacaktır. Test süreci devam etmektedir. Süreç sonuçlandığında ilgili raporlar en kısa sürede GitHub reposuna yüklenecek, final sunumunda açıklanacaktır.